

計算機設計 (Computer Design)		5 年・前期・2 学修単位 (α)・選択 情報工学科・担当 山口 賢一	
〔準学士課程(本科 1-5 年) 学習教育目標〕 (2)	〔システム創成工学教育プログラム 学習・教育目標〕 D-1 (100%)	〔JABEE 基準〕 d-2a, d-2b	
〔講義の目的〕 集積回路技術の進歩により，計算機（コンピュータ）は高性能化・高機能化し，その応用分野はますます広がっている．特に近年，携帯用の情報通信端末が急速に普及し，コンピュータの小型化・低消費電力化は重要な課題である．本講義ではこのような進展著しいコンピュータの設計方法の基礎について学ぶことを目的とする．			
〔講義の概要〕 講義の前半はハードウェア記述言語 Verilog HDL を用いた回路の基礎的記述法について学ぶ．後半では習得した Verilog HDL の記述法に基づき，モデルコンピュータを例として取り上げ，CPU の設計法を学ぶ．			
〔履修上の留意点〕 授業は演習形式を基本として行う．教科書の割当てられた部分のスライドを各自作成し，あらかじめ教科書付録のシミュレータを用いて実行し，その結果もプレゼンテーションに反映させる．なお，夏休み期間に実習課題が出題される．			
〔到達目標〕 (1) Verilog HDL による組合せ回路の設計ができる． (2) Verilog HDL による順序回路の設計ができること． (3) Verilog HDL による CPU の設計ができること． (4) Verilog HDL による CPU のシミュレーションを行い，その構造と動作が理解できること．			
〔評価方法〕 ・演習提出課題 (50%) ・実習課題のレポート提出 (30%) ・プレゼンテーションの評価 (20%)			
〔教科書〕 小林優著「HDL 独習ソフトで学ぶ CQ Endeavor VerilogHDL」CQ 出版社			
〔補助教材・参考書〕 長谷川裕恭著「VHDL によるハードウェア設計入門」CQ 出版社 藤原秀雄著「コンピュータ設計概論」工学図書			
〔関連科目〕 2 年「計算機工学」，3 年「論理回路」，4 年次「計算機アーキテクチャ」の各教科の修得を前提とし，情報工学実験で行った HDL を用いた回路設計の理解を深める形で演習を行う．			

講義項目・内容

週数	講義項目	講義内容	自己 評価*
第 1 週	計算機設計の概要	計算機設計, VHDL, 集積回路, 設計の流れ	
第 2 週	VerilogHDL 記述法 1	半加算器, テストベンチ I	
第 3 週	VerilogHDL 記述法 2	全加算器, 並列加算器, テストベンチ II	
第 4 週	VerilogHDL 記述法 3	ALU 回路 (1)	
第 5 週	VerilogHDL 記述法 4	ALU 回路 (2), テストベンチ III	
第 6 週	VerilogHDL 記述法 5	組合せ回路 (1) (セレクタ, コンパレータ, エンコーダ)	
第 7 週	VerilogHDL 記述法 6	組合せ回路 (2) (デコーダ, バレルシフター)	
第 8 週	VerilogHDL 記述法 7	D ラッチ, D フリップフロップ	
第 9 週	VerilogHDL 記述法 8	レジスタ, テストベンチ IV	
第 10 週	CPU の設計 (1)	モデルコンピュータアーキテクチャ, 命令の実行制御方式	
第 11 週	CPU の設計 (2)	VerilogHDL によるモデルコンピュータの記述	
第 12 週	CPU の設計 (3)	レジスタファイル部の記述	
第 13 週	CPU の設計 (4)	ALU 部の記述	
第 14 週	CPU の設計 (5)	メモリ・レジスタ部の記述	
第 15 週	CPU の設計 (6)	マイクロプログラム制御部の記述, テストベンチ	
期末試験			

* 4 : 完全に理解した, 3 : ほぼ理解した, 2 : やや理解できた, 1 : ほとんど理解できなかった, 0 : まったく理解できなかった.
 (達成) (達成) (達成) (達成) (達成)