

コンピュータ援用論理設計 (Computer Aided Logic Design)		4 年・通年・2 学修単位(β)・必修 情報工学科・担当 山口 賢一 (通年)	
〔準学士課程(本科 1-5 年) 学習教育目標〕 (2)	〔システム創成工学教育プログラム 学習・教育目標〕 B-2(80%)、D-1(20%)	〔JABEE 基準〕 d-1, d-2b	
〔講義の目的〕 集積回路技術の進歩により、 計算機（コンピュータ）は高性能化・高機能化し、その応用分野はますます広がっている。特に近年、携帯用の情報通信端末が急速に普及したことに伴い、コンピュータの小型化・低消費電力化を可能とする設計手法は重要な課題である。本講義では、前期で演習を通じたコンピュータの設計手法の習得を目指し、後期では演習で得た知識を基に、実際の設計フローや LSI 設計において必要となる知識の定着を目指す。			
〔講義の概要〕 前期はハードウェア記述言語 Verilog HDL を用いた回路の基礎的記述法を習得した後、モデルコンピュータを例として取り上げ、CPU の設計法を学ぶ。後期は、前期の演習を踏まえて LSI 設計において必要となる理論についての講義を行う。			
〔履修上の留意点〕 前期は演習形式、後期は座学を基本として行う。あらかじめ演習で用いる予定の回路をシミュレータにより実行して動作を確かめるなど、予習しておくこと。			
〔到達目標〕 (1) Verilog HDL による設計および検証の手法を習得する。 (2) Verilog HDL による CPU のシミュレーションを行い、その構造と動作が理解できること。 (3) LSI 設計フローについて理解し、説明できること。 (4) LSI 設計の各フェーズについて理解し、説明できること。			
〔自己学習〕 目標を達成するためには、授業以外にも予習復習を怠らないこと。特に、前期内容の VerilogHDL を用いた回路の記述法では、予習だけでなく、授業で習った内容が確実に利用できるよう、復習を欠かさないこと。			
〔評価方法〕 定期試験（60%）、レポート提出（40%） ただし、前期試験はオンラインで行うものとする（ペーパーテストは行わない）			
〔教科書〕 小林優著「HDL 独習ソフトで学ぶ CQ Endeavor Verilog HDL」CQ 出版社 〔補助教材・参考書〕 堀桂太郎著「図解コンピュータアーキテクチャ入門 第2版」森北出版 菊池正典監修「半導体とシステム LSI」日本実業出版社 教員指定の Web ページ（URL は受講中に指定する）			
〔関連科目・学習指針〕 1 年ディジタル回路、2 年論理回路、コンピュータシステム概論、3 年コンピュータアーキテクチャ、情報工学実験Ⅱの各教科の修得を前提とする。また、4 年情報工学実験Ⅲで行う HDL を用いた回路設計の理解を深める形で演習を行う。これからの関連科目としては、4 年オペレーティングシステムや、5 年集積回路などと関連が深い。			

## 講義項目・内容

週数	講義項目	講義内容	自己評価*
第1週	ガイダンス、準備	授業で必要となるライセンスの取得、ソフトウェアの設定	
第2週	組合せ回路設計 1	半加算器、 テストベンチ I	
第3週	組合せ回路設計 2	全加算器、 並列加算器、 テストベンチ II	
第4週	組合せ回路設計 3	ALU 回路 (1)	
第5週	組合せ回路設計 4	組合せ回路 (1) (セクタ、 コンパレータなど)	
第6週	組合せ回路設計 5	ALU 回路 (2)、 テストベンチ III	
第7週	組合せ回路設計 6	組合せ回路 (2) (デコーダ、 バレルシフタ)	
第8週	組合せ回路設計 7	VerilogHDL を用いた組合せ回路設計のまとめ	
第9週	順序回路設計 1	ラッチ、 フリップフロップ、 レジスタ、 テストベンチ IV	
第10週	CPU の設計 1	モデルコンピュータ、 命令の実行制御方式	
第11週	CPU の設計 2	モデルコンピュータアーキテクチャ、 命令の実行制御方式	
第12週	順序回路設計 2	有限状態機械を用いた順序回路設計	
第13週	CPU の設計 3	モデルコンピュータの設計、 テストベンチ V	
第14週	順序回路設計 3	順序回路設計演習	
第15週	まとめ	VerilogHDL を用いた回路設計のまとめ	
前期期末試験は実施しない			
第16週	LSI設計	LSIの設計効率の向上	
第17週	低位抽象度設計	ゲートレベル設計、 レジスタ転送レベル設計	
第18週	高位抽象度設計	動作レベル設計、 システムレベル設計	
第19週	設計資産の活用	IP、 ビルディングブロック、 マクロについて	
第20週	IPの設計フロー	フロントエンド設計、 バックエンド設計	
第21週	LSI設計フロー	LSI機能設計、 フロントエンド設計、 バックエンド設計	
第22週	HW-SW協調設計	どの機能をソフトウェア化し、 ハードウェア化するか	
第23週	LSIの機能設計	スループットの向上、 低電力化を目指して	
第24週	機能検証	テストベンチとHDLシミュレーション、 形式検証	
第25週	論理合成	必要な制約条件と合成ツール	
第26週	テスト設計手法	4つの故障モデルとスキャンテスト	
第27週	フロアプラン	レイアウト設計の第一段階	
第28週	電源配線、 配置	レイアウトの最適化と配置ツール	
第29週	CTS、 配線	配線ルールを配慮して配線する	
第30週	最新技術	非同期式回路設計などホットトピックスについて紹介する	
学年末試験・テスト返却・学力補充			

\* 4 : 完全に理解した, 3 : ほぼ理解した, 2 : やや理解できた, 1 : ほとんど理解できなかった, 0 : まったく理解できなかった.  
 (達成) (達成) (達成) (達成) (達成)